

Εφαρμογή και Εκτέλεση σε Πραγματικό Χρόνο Αλγορίθμου Συμπίεσης Εικόνων Video με Χρήση Επαναπρογραμματιζόμενης Συστοιχίας Ψυλών (FPGA)

Χαϊκάλης Διονύσης, Μαρούλης Δημήτρης, Ζέρβας Νίκος

Περίληψη

Η συμπίεση δεδομένων είναι μια σημαντική και απαραίτητη εργασία στο χώρο της Πληροφορικής και των Επικοινωνιών. Για τη μετάδοση πληροφορίας από τον πομπό στο δέκτη μέσα από ένα κανάλι, είναι χρήσιμο ο όγκος των δεδομένων να είναι όσο το δυνατό μικρότερος. Τέτοιοι αλγόριθμοι έχουν αποτελέσει κατά καιρούς αντικείμενο έρευνας και εφαρμόζονται σήμερα στη μεταβίβαση της πληροφορίας.

Στην παρούσα εργασία παρουσιάζεται η εφαρμογή του αλγορίθμου συμπίεσης Διακριτού Μετασχηματισμού Συνημιτόνου (DCT) και του αντιστρόφου του (IDCT) στην κάρτα PCI RC1000-PP της Celoxica με επαναπρογραμματιζόμενη συστοιχία ψυλών (FPGA) 2000E της Xilinx.

Η χρήση των FPGAs βρίσκει όλο και μεγαλύτερη εφαρμογή στην έρευνα και στη βιομηχανία για την ελαχιστοποίηση του χρόνου εκτέλεσης χρονοβόρων διαδικασιών. Ο επαναπρογραμματισμός τους αποτελεί σημαντικό πλεονέκτημα για τη βελτιστοποίηση του σχεδιασμού, ενώ το μεγάλο πλήθος ψυλών που ενσωματώνουν προσφέρει μεγάλες ταχύτητες εκτέλεσης αλγορίθμων.

Επειδή η εκτέλεση του αλγορίθμου συμπίεσης DCT και του αντιστρόφου του IDCT είναι χρονοβόρα, εφαρμόστηκε η εκτέλεση των αλγορίθμων αυτών σε FPGA, επιτρέποντας έτσι, όπως αποδεικνύεται στην παρούσα εργασία, την εκτέλεσή τους σε πραγματικό χρόνο αποδεδειγμένα εξ' ολοκλήρου τον επεξεργαστή του υπολογιστικού συστήματος.

Εισαγωγή

Η συνεχής ανάπτυξη των συστημάτων επικοινωνιών και των εφαρμογών πολυμέσων, καθώς και η απαίτηση για ολοένα και αυξανόμενη ποιότητα υπηρεσιών, έχει οδηγήσει σε διαρκή αύξηση του όγκου της πληροφορίας προς επεξεργασία και διακίνηση. Η εφαρμογή της τεχνικής της συμπίεσης δεδομένων καθίσταται απαραίτητη στα σημερινά συστήματα επικοινωνιών και διάφοροι αλγόριθμοι έχουν κατά καιρούς αποτελέσει αντικείμενο έρευνας. Για παράδειγμα, στα συστήματα πολυμέσων, είναι απαραίτητη η μείωση του όγκου των δεδομένων εικόνας και ήχου για την αποτελεσματική διαχείριση του μεγάλου όγκου τους, και ειδικότερα για τη μεταφορά τους μέσω καναλιών μετάδοσης [1].

Στην παρούσα εργασία, χρησιμοποιείται ένας αλγόριθμος συμπίεσης δεδομένων, αυτός του Διακριτού Μετασχηματισμού Συνημιτόνου (Discrete Cosine Transform - DCT) ο οποίος ενσωματώθηκε σε Επαναπρογραμματιζόμενη Συστοιχία Ψυλών (Field Programmable Gate Array - FPGA) Virtex-2000E της κάρτας PCI RC1000-PP της Celoxica. Τα οφέλη της εκτέλεσης ενός αλγορίθμου σε FPGA συγκριτικά με την εκτέλεση του αλγορίθμου σε επεξεργαστή ενός μικροϋπολογιστή, είναι η σημαντικά μεγαλύτερη ταχύτητα εκτέλεσης και η αποδέσμευση του επεξεργαστή. Σε εφαρμογές πολυμέσων οι οποίες απαιτούν εκτέλεση αλγορίθμων σε πραγματικό χρόνο, όπως η συμπίεση κινούμενης εικόνας, τα οφέλη αυτά αντισταθμίζουν το χρόνο και την πολυπλοκότητα σχεδιασμού του αλγορίθμου σε ψηφιακό σύστημα.

Στις επόμενες παραγράφους, αναλύεται η πορεία σχεδιασμού του ψηφιακού συστήματος, εξηγείται ο τρόπος λειτουργίας

της κάρτας που ενσωματώνει το FPGA και ο τρόπος επικοινωνίας της με τον μικροϋπολογιστή. Παρατίθενται επίσης και γίνονται συγκρίσεις μεταξύ χρόνων εκτέλεσης του αλγορίθμου συμπίεσης από επεξεργαστή και από την κάρτα επαναπρογραμματιζόμενη συστοιχία πυλών (FPGA) της Celoxica.

Ο αλγόριθμος DCT

Ο Διακριτός Μετασχηματισμός Συνημιτόνου (DCT) χρησιμοποιείται ευρέως σε πολλά συστήματα συμπίεσης πολυμέσων (JPEG, MPEG, H261) χάρη στη σχετικά μικρή πολυπλοκότητά του. Παρ' όλη τη σχεδιαστική απλότητά του όμως, μια τυπική υλοποίηση ενός 8×8 διδιάστατου DCT έχει μεγάλο υπολογιστικό κόστος, αφού απαιτεί την εκτέλεση 4096 πολλαπλασιασμών ανά παράθυρο [1].

Για ένα ψηφιακό σήμα $x[n]$, ο Διακριτός Μετασχηματισμός Συνημιτόνου (DCT) ορίζεται ως:

$$y[k] = \sum_{n=0}^{N-1} x[n] \cos\left(\frac{\pi(2n+1)k}{N}\right) \quad (1)$$

Στις εφαρμογές συμπίεσης πολυμέσων, είναι ευρέως παραδεκτό ότι, εφαρμόζοντας τον DCT σε παράθυρα μεγέθους 8×8 , πετυχαίνεται μια καλή ανταλλαγή μεταξύ της πολυπλοκότητας του μετασχηματισμού και της χωρικής συσχέτισης [2]. Η έκφραση για έναν 8×8 διδιάστατο DCT (2D-DCT) είναι:

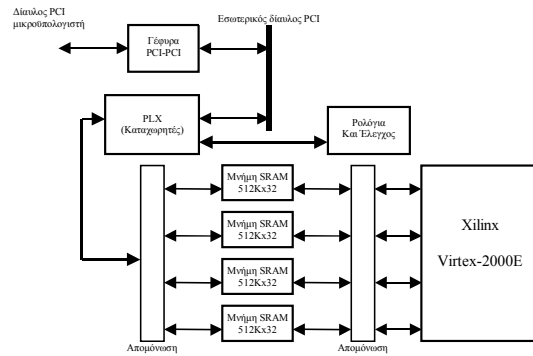
$$F_{m,n} = \sum_{i=0}^7 \sum_{j=0}^7 f_{i,j} \cos\left(\frac{\pi m_i}{16}\right) \cos\left(\frac{\pi n_j}{16}\right) \quad (2)$$

όπου $f_{i,j}$ είναι τα δείγματα εισόδου, $F_{m,n}$ είναι το μετασχηματισμένο σήμα και $m_i = (2i+1)m$ και $n_j = (2j+1)n$ οι συντελεστές.

Το ψηφιακό κύκλωμα

Για την εφαρμογή του ψηφιακού κυκλώματος, χρησιμοποιείται η κάρτα PCI RC1000-PP της Celoxica με επαναπρογραμματιζόμενη συστοιχία πυλών

(FPGA) Virtex-2000E της Xilinx [3]. Το σχηματικό διάγραμμα της κάρτας αυτής φαίνεται στην εικόνα 1.



Εικόνα 1. Σχηματικό διάγραμμα της PCI κάρτας RC1000-PP της Celoxica

Η λειτουργία του ψηφιακού κυκλώματος προϋποθέτει την ύπαρξη των εικονοστοιχείων της εικόνας στη μνήμη της PCI κάρτας. Η μεταφορά των εικονοστοιχείων της εικόνας από το χώρο αποθήκευσής τους (στον υπολογιστή) προς τη μνήμη της κάρτας γίνεται με τεχνική DMA (Direct Memory Access), η οποία πραγματοποιείται με τη χρήση μιας ακολουθίας συναρτήσεων σε γλώσσα προγραμματισμού C.

Το ψηφιακό κύκλωμα αρχίζει τη λειτουργία του όταν ειδοποιηθεί από τον υπολογιστή ότι η μεταφορά της εικόνας στη μνήμη της κάρτας έχει ολοκληρωθεί. Αρχικά, μεταφέρει τα δεδομένα της εικόνας στη μνήμη του FPGA. Αυτό γίνεται για να υπάρχει πρόσβαση στα δεδομένα με τη μεγαλύτερη δυνατή ταχύτητα, και γιατί οι μνήμες του FPGA μπορούν να προσπελαστούν ταυτόχρονα για εγγραφή και ανάγνωση, προσφέροντας σημαντικό πλεονέκτημα παραλληλισμού. Όταν ολοκληρωθεί και αυτή η μεταφορά, το κύκλωμα του διδιάστατου Διακριτού Μετασχηματισμού Συνημιτόνου (2D-DCT) τροφοδοτείται με τα δεδομένα εισόδου, και η έξοδος του τροφοδοτεί το κύκλωμα του 2D-IDCT. Τα νέα δεδομένα εξόδου εγγράφονται στη μνήμη του FPGA. Όταν ολοκληρωθεί η εγγραφή των δεδομένων στη μνήμη του FPGA, μεταφέρονται στη μνήμη της κάρτας, και στο τέλος της μεταφοράς αυτής, το κύκλωμα με το κατάλληλο σήμα ειδοποιεί τον υπολογιστή ότι τελείωσε, ώστε να αναλάβει τη μεταφορά των δεδομένων από τη μνήμη της κάρτας στη

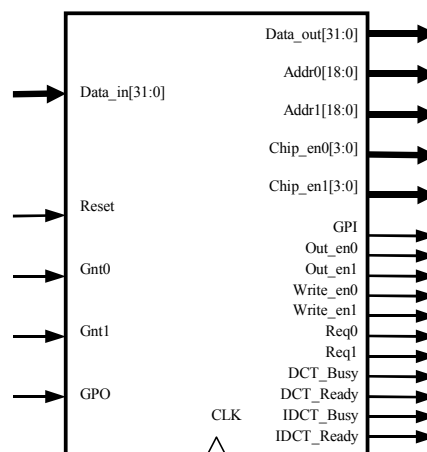
μνήμη του υπολογιστή, η οποία πραγματοποιείται με DMA.

Ο σχεδιασμός του ψηφιακού συστήματος έγινε σε γλώσσα περιγραφής υλικού VHDL (VHSIC HDL – Very High Speed Integrated Circuits Hardware Description Language). Για να μπορέσει να λειτουργήσει ο κύκλωμα του DCT, εκτός από τη λειτουργία εκτέλεσης των αριθμητικών πράξεων που πραγματοποιεί ο αλγόριθμος, πρέπει να περιγραφεί και να σχεδιαστεί η διεπαφή του κυκλώματος για το συγκεκριμένο FPGA. Επίσης, σχεδιάζεται μια μονάδα ελέγχου η οποία αναλαμβάνει τη σηματοδότηση του DCT και το συγχρονισμό του με την εσωτερική μνήμη του FPGA.

Μια μονάδα παραγωγής διευθύνσεων αναλαμβάνει να δημιουργήσει τις διευθύνσεις μνήμης για τη μεταφορά των δεδομένων από τη μνήμη της κάρτας στη μνήμη του FPGA. Επιπλέον, η μονάδα αυτή υλοποιεί τη μεταφορά των δεδομένων μεταξύ των μνημών με τέτοιο τρόπο ώστε να ομαδοποιούνται ανά παράθυρο κατά τη μεταφορά τους από την κάρτα στο FPGA και η αντίστροφη διαδικασία να γίνεται κατά τη μεταφορά τους από το FPGA στην κάρτα. Έτσι, ο DCT τροφοδοτείται με δεδομένα που ανά 64 σχηματίζουν τα 8×8 παράθυρα που δέχεται ως είσοδο.

Το DCT κύκλωμα τροφοδοτείται σε κάθε κύκλο ρολογιού (ο οποίος αντιστοιχεί σε μια θετική ακμή του ρολογιού) με ένα εικονοστοιχείο, δηλαδή 8 bits. Από τη μνήμη της κάρτας σε αυτή του FPGA και αντίστροφα, οι μεταφορές γίνονται με ρυθμό 32 bits ανά κύκλο ρολογιού, δηλαδή 4 εικονοστοιχεία ανά κύκλο. Αυτό συνεπάγεται μια βελτίωση των χρόνων των μεταφορών κατά 75% σε σχέση με μεταφορές των 8 bits.

Στο τελικό ψηφιακό σύστημα που έχει σχεδιαστεί, περιλαμβάνεται η μονάδα ελέγχου, η μονάδα παραγωγής διευθύνσεων μνήμης και η δίοδος δεδομένων, όπου υπάρχουν τα κυκλώματα των 2D-DCT και 2D-IDCT, οι μνήμες για την αποθήκευση των δεδομένων και οι διατάξεις ομαδοποίησης των 8 bits σε 32 και ανάλυσης των 32 bits σε 8. Η σχηματική αναπαράσταση του ψηφιακού κυκλώματος φαίνεται στην εικόνα 2.



Εικόνα 2. Η σχηματική αναπαράσταση του ψηφιακού κυκλώματος, με τις εισόδους και τις εξόδους του

Αποτελέσματα

Το ψηφιακό σύστημα που υλοποιήθηκε, καταλαμβάνει το 16% της συνολικής επιφάνειας του FPGA Virtex-2000E της Xilinx και έχει μέγιστη συχνότητα λειτουργίας τα 34MHz. Αυτό σημαίνει ότι μπορεί να επεξεργαστεί μια εικόνα μεγέθους 720×576 εικονοστοιχείων (PAL frame) σε 30,5ms, δηλαδή 32 περίπου τέτοιες εικόνες το δευτερόλεπτο.

Σε εφαρμογές πραγματικού χρόνου, κινούμενη εικόνα χαρακτηρίζεται μια ακολουθία με ρυθμό μεγαλύτερο από 25 εικόνες το δευτερόλεπτο. Βλέπουμε ότι είναι δυνατή η επεξεργασία κινουμένης εικόνας σε πραγματικό χρόνο από το ψηφιακό κύκλωμα. Με ρυθμό 25 εικόνων ανά δευτερόλεπτο, το κύκλωμα έχει τη δυνατότητα να επεξεργαστεί εικόνες μεγέθους μέχρι και 1.360.000 εικονοστοιχείων. Επιπλέον, ο επεξεργαστής του υπολογιστικού συστήματος είναι αποδεδειγμένος κατά τη διάρκεια της επεξεργασίας της εικόνας από το FPGA.

Σε σύγκριση με το χρόνο επεξεργασίας των αντίστοιχων εικόνων στον επεξεργαστή ενός μικροϋπολογιστή, το ψηφιακό κύκλωμα που υλοποιήθηκε είναι σχεδόν δύο τάξεις μεγέθους γρηγορότερο. Αναλυτικά αποτελέσματα παρουσιάζονται στον πίνακα 1.

<i>Μέγεθος εικόνας</i>	<i>Χρόνος επεξεργασίας στο FPGA</i>	<i>Εικόνες ανά δευτερόλεπτο</i>
256x256	2,9ms	347
352x288	7,4ms	134
720x576	30,5ms	32,8
800x600	35,3ms	28,3

<i>Μέγεθος εικόνας</i>	<i>Χρόνος επεξεργασίας στον επεξεργαστή</i>	<i>Εικόνες ανά δευτερόλεπτο</i>
256x256	469ms	2,13
352x288	687ms	1,45
720x576	3171ms	0,31
800x600	3500ms	0,28

Πίνακας 1. Χρόνοι επεξεργασίας εικόνων και δυνατότητα επεξεργασίας (εικόνες ανά δευτερόλεπτο) του ψηφιακού συστήματος DCT-IDCT στο FPGA και του αντίστοιχου αλγορίθμου στον επεξεργαστή ενός μικροϋπολογιστή.

Ευχαριστίες

Την εταιρεία «Άλμα Τεχνολογίες» ευχαριστούμε θερμά για τη σημαντική συνεισφορά της στην υλοποίηση της παρούσας εργασίας. Η ερευνητική αυτή προσπάθεια χρηματοδοτήθηκε μερικώς από τον Ειδικό Λογαριασμό Κονδυλίων Έρευνας (ΕΛΚΕ) του Εθνικού και Καποδιστριακού Πανεπιστημίου Αθηνών.

Αναφορές

- [1] R. Woods, A. Cassidy, J. Gray “VLSI Architectures for Field Programmable Gate Arrays: A Case Study” IEEE Symposium on FPGAs for Custom Computing Machines, 1996.
- [2] M. Martina, A. Molino, F. Vacca “Reconfigurable and Low Power 2D-DCT IP for Ubiquitous Multimedia Streaming” 2002 IEEE International Conference on Multimedia and Expo (ICME 2002), Vol. 2, August 26-29, pp. 177-180
- [3] “RC1000-PP Hardware Reference” www.celoxica.com